

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177439

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H03M 9/00
H04L 7/10
// G06F 13/00
G06F 13/38

(21)Application number : 09-339036

(71)Applicant : NEC CORP

(22)Date of filing : 09.12.1997

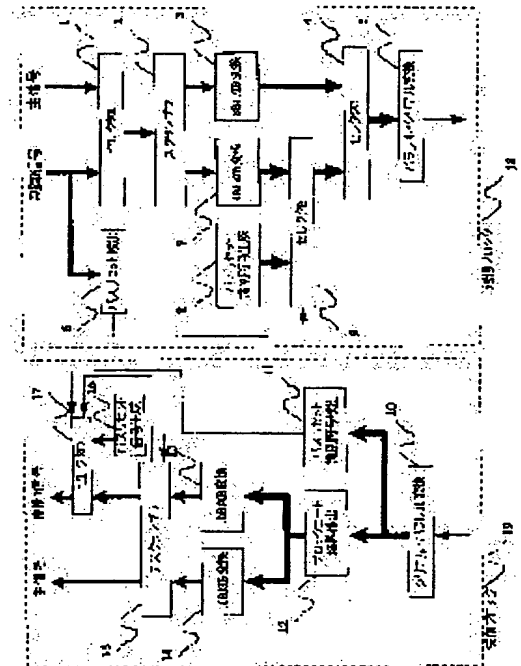
(72)Inventor : NIBU TAKAYUKI

(54) CODING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a coding circuit that is capable of initializing ports in parallel with initializing of a network, that is, performingly redetection of a border of block codes and reestablishing synchronization for a scrambler/ descrambler in respect of devices connected through the IEEE 1394 serial bus.

SOLUTION: The circuit is provided with a bus reset detection circuit 6 that detects a bus reset signal fed from a network initialization control state machine, a bus reset identification code generating circuit 8, a bus reset identification code detection circuit 11 that detects a bus reset identification code, and a bus reset signal generating circuit 16 that outputs the bus reset signal to the network initialization/control state machine.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

09.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3166692

[Date of registration]

09.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-177439

(43)公開日 平成11年(1999) 7月2日

(51)Int.Cl.⁸
H 0 3 M 9/00
H 0 4 L 7/10
// G 0 6 F 13/00
13/38

識別記号
3 5 7
3 5 0

F I
H 0 3 M 9/00 A
H 0 4 L 7/10
G 0 6 F 13/00 3 5 7 A
13/38 3 5 0

審査請求 有 請求項の数2 O L (全 17 頁)

(21)出願番号 特願平9-339036

(22)出願日 平成9年(1997)12月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 丹生 隆之

東京都港区芝五丁目7番1号 日本電気株式会社内

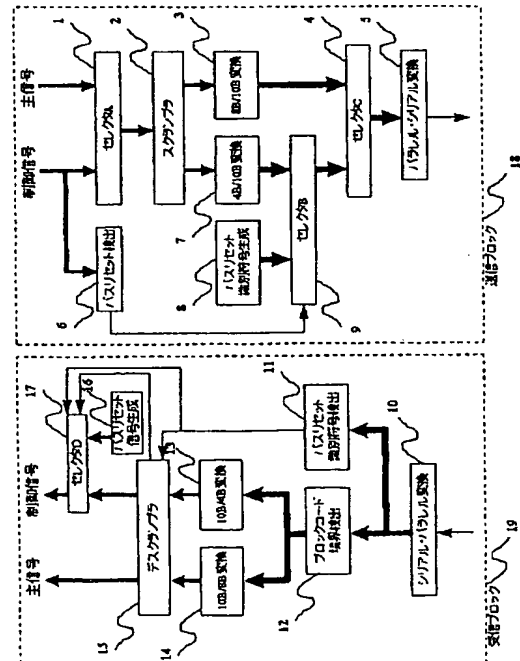
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 符号化回路

(57)【要約】

【課題】 IEEE 1394シリアルバスによって接続されている機器において、ネットワークの初期化に併せてポートの初期化、すなわちブロックコードの境界再検出およびスクランブラ・デスクランブラの同期再確立を行うことを可能とする符号化回路を提供する。

【解決手段】 ネットワーク初期化・制御ステートマシンからのバスリセット信号を検出するバスリセット検出回路6と、バスリセット識別符号生成回路8と、バスリセット識別符号を検出するバスリセット識別符号検出回路11とネットワーク初期化・制御ステートマシンに対してバスリセット信号を出力するバスリセット信号生成回路16を備える。



【特許請求の範囲】

【請求項1】送信部において、上位レイヤからの制御信号と主信号のデータ系列をランダム化するスクランブラと、

前記スクランブラによりランダム化された制御信号と主信号それぞれをブロック符号化するブロック符号化回路と、

前記ブロック符号化回路から出力されるパラレル信号をシリアル信号に変換するパラレル・シリアル変換回路と、

受信部において、伝送路からのシリアル信号をパラレル信号に変換するシリアル・パラレル変換回路と、

前記シリアル・パラレル変換回路からのパラレル信号からブロック符号のコード境界を検出し、ブロック符号単位のパラレル信号を出力するブロックコード境界検出回路と、

送信側でブロック符号化された制御信号および主信号それぞれのコードを逆変換するブロック符号逆変換回路と、

ランダム化されたデータ系列を復元するためのデスクランブラを備える符号化回路であって、

送信側において、上位レイヤからの制御信号中に含まれるネットワークの初期化を行うバスリセット信号を検出し、パラレル・シリアル変換回路への入力信号を切り替えるための切替信号を出力するバスリセット検出回路と、

バスリセット信号の先頭の数クロック間を置換するバスリセット識別符号を生成するバスリセット識別符号生成回路と、

受信側において、前記バスリセット識別符号生成回路からの識別符号を検出しスクランブラ・デスクランブラの同期再確立を開始するためのトリガ信号を発生するバスリセット識別符号検出回路と、

スクランブラ・デスクランブラの同期再確立を行っている間、擬似的に上位レイヤに対して出力されるバスリセット信号を発生するバスリセット信号生成回路と、

前記デスクランブラの出力と前記バスリセット信号生成回路の出力を切り替えるセレクトを備えることを特徴とする符号化回路。

【請求項2】送信部において、上位レイヤからの制御信号と主信号のデータ系列をランダム化するスクランブラと、

前記スクランブラによりランダム化された制御信号と主信号それぞれをブロック符号化するブロック符号化回路と、

前記ブロック符号化回路から出力されるパラレル信号をシリアル信号に変換するパラレル・シリアル変換回路と、

受信部において、伝送路からのシリアル信号をパラレル信号に変換するシリアル・パラレル変換回路と、

送信側でブロック符号化された制御信号および主信号のコードを逆変換するブロック符号逆変換回路を備える符号化回路であって、

送信側において、制御信号中のバスリセット信号を検出し、ブロックコードの境界再検出を開始するためのトリガ信号を発生するバスリセット検出回路と、

受信側において、前記バスリセット検出回路からのトリガ信号を受けて、ブロックコードの境界再検出を開始し、スクランブラ・デスクランブラ同期の再確立を開始

するためのトリガ信号を発生するブロックコード境界検出回路と、

前記ブロックコード境界検出回路からのトリガ信号を受けて、スクランブラ・デスクランブラ同期の再確立を開始し、出力にバスリセット信号を検出した際に上位レイヤに対して出力する制御信号を切り替えるための切替信号を生成するデスクランブラと、

上位レイヤに対して擬似的に出力するバスリセット信号を生成するバスリセット信号生成回路と、

前記デスクランブラからの出力と前記バスリセット信号生成回路からの出力を切り替えるセレクトを備えることを特徴とする符号化回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータ（以下PC）や電子機器を接続することが可能なシリアルバス（例えばIEEE Standard for a High Performance Serial Bus - IEEE Std 1394-1995で標準化されているシリアルバス、以下1394）で用いられる符号化回路に関する。

【0002】

【従来の技術】PCとプリンタ、ハードディスクやスキャナーの様な周辺機器、あるいはAV（Audio Visual）電子機器（以下、1394を搭載した端末機器をノードと呼ぶ）間の制御信号や主信号伝送のため、1394を使用したネットワークが考えられている。

【0003】ノードはDS-Linkと呼ばれるデータ信号とストローブ信号を同時に伝送する符号化方式（IEEE Std.1394-1995 pp.34参照）を使用したポート（以下DSポートと呼ぶ）を持つ。DS-Link符号化方式は受信側で2つの信号の排他的論理和を生成することによりクロックを再生できるという特徴を持つ反面、2つの信号を同時に伝送するため、2つの伝搬速度の違いにより受信側で2つの信号に位相差が生じ、ノード間距離が長くなる場合には、受信側で送信ノードからの送信信号を正確に再生できなくなるという欠点を併せ持つ。そのためDS-Link符号化方式を用いた場合にはノード間距離は数mに制限される。

【0004】一方、ノード間距離が数10mにおよぶ場合には、シリアル伝送を行うための符号化回路を持ったポート（以下シリアルポートと呼ぶ）をノードは持つ。

この場合には、受信側でクロックリカバリ回路により伝送信号からクロックを再生する必要がある。

【0005】DSポートとシリアルポートを持ったノードの構成を図6に示す。ポートa、bがDSポートであり、ポートcがシリアルポートである。本発明はシリアルポートに関するものであり、DSポートに関する説明は省略する（詳細はIEEE 1394-1995 pp.76を参照）。ノードA、Bは伝送路を経由してシリアルポート同士が接続されている。各ノードはネットワークの初期化および通常運用時のネットワークへの送信権の獲得を行うネットワーク初期化・制御ステートマシン21を有する。シリアルポートは送信ブロック18、受信ブロック19およびポート初期化ブロック20からなる。

【0006】送信ブロック18はポートの初期化が終了するまでは、ポート初期化ブロック20からの制御信号を送信する。ポート初期化終了後はネットワーク初期化・制御ステートマシンからの制御信号を送信する。

【0007】受信ブロック19はポートの初期化が終了するまでは、受信した制御信号をポート初期化ブロック20へ渡す。ポート初期化終了後はネットワーク初期化・制御ステートマシンへ制御信号を渡す。

【0008】ポート初期化ブロック20はポートの初期化が終了し、ポート間での通信が可能となった時点でPort_Status信号によりポート同士が接続されたことを上位のネットワーク初期化・制御ステートマシン21へ知らせる。Port_Status信号の変化を検出したネットワーク初期化・制御ステートマシン21はバスリセット信号を送信することによりネットワークの初期化を開始する。本発明はシリアルポートに関するものであり、ネットワークの初期化についての説明は省略する（詳細はIEEE 1394-1995 pp.98-112を参照）。

【0009】ポート初期化ブロック20の動作手順を図7に示す。ポート初期化の時は送受信ブロックは最低伝送速度のS100（ボーレート125Mb/s）で動作している。ノードの電源がオンされた後、送信クロックを生成するPLL（Phase Locked Loop：位相同期ループ）の出力クロックが125MHzに安定（ロック）するまで、送信ブロックはリセット状態でありポートからの出力はない。送信PLLの出力が安定化するとポート初期化ブロック20は制御信号としてRequest/Grantコード（0001）を連続的に出力する。制御信号コードの一覧を図8に示す。対向するノードも同様の手順で動作しており、対向ノードからRequest/Grantコードを受信する。Request/Grantコードを受信している際に、受信ブロックでは受信信号から受信クロックを生成するクロックリカバリ回路が信号の引き込みを開始し、安定して受信クロックを生成できる（ロックする）のを待つ。クロックリカバリ回路がロックした後、シリアル伝送された信号からブロックコードの境界検出を行う。ブロックコードの境界

検出の後、対向するノードの送信ブロックにあるスクランブラと、デスクランブラ（図6でいえばノードAのスクランブラとノードBのデスクランブラ、あるいはノードBのスクランブラとノードAのデスクランブラ）の同期をとる。スクランブラ・デスクランブラ同期の確立後は、ポート初期化ブロックからは、制御信号としてIDLEコード（0000）を出力する。IDLEコードを検出したノードは対向ノードのクロックリカバリ回路のロック、ブロックコード境界の検出、スクランブラ・デスクランブラ同期の確立が終了したことを認識する。

【0010】次にポート間の伝送速度の調停を行うために、ポート初期化ブロック20はそのポートが伝送可能な最大伝送速度を示すSPEEDコードを制御信号として出力する。対向ノードからのSPEEDコードを受信した後、送信したSPEEDコードと比較し、遅い方の伝送速度にポートの伝送速度を設定する。その際、設定された伝送速度がS100（IEEE 1394では複数の伝送速度が規格化されており、最低の伝送速度はS100：100Mb/sである。その他、S200：200Mb/s、S400：400Mb/s等が規格化されている。）の場合には、ポートの初期化が終了したことを上位のネットワーク初期化・制御ステートマシンへ知らせるため、Port_Status信号をセットする。設定された伝送速度がS100でない場合は、伝送速度の調停が終了したことを示す速度調停フラグをセットし、送信PLLおよびクロックリカバリをリセットした後、再度ポートの初期化手順を行う。スクランブラ・デスクランブラ同期の確立までを終了した後、Port_Status信号をセットし、ポートの初期化を終了する。

【0011】例えば、ノードAの最大伝送能力がS100であり、ノードBの最大伝送能力がS200であったならば、ノードAは最大伝送速度がS100であることを、ノードBは最大伝送速度がS200であることを示すコードを送信する。ノードBではノードAからのSPEEDコードがS100であることを知り、ノードBのシリアルポートの伝送速度をS100に設定する。ノードA、B共にS100で既に動作しているため、そのまま通常動作へ移行する。一方、ノードA、B共に最大伝送速度がS200の場合には、ノードA、Bともにシリアルポートの伝送速度をS200に設定する。その後、PLLおよびクロックリカバリをS200で動作させるため、再度初期化手順をS200で行い、スクランブラ・デスクランブラの同期確立までの動作が終了した後、通常動作に移行する。

【0012】次にポート初期化時の送信ブロック・受信ブロックの動作を説明する。送信ブロック18および受信ブロック19の構成を図9に示す。送信ブロック18において、制御信号あるいは主信号はセレクトA1によって切り替えられ、スクランブラ2によりコードがランダム化される。ランダム化されたコードは、制御信号は

4B/10B変換回路7により10ビットのブロックコードに変換され、主信号は8B/10B変換回路3により10ビットのブロックコードに変換される。なお、4B/10B変換回路7の変換表を図10に示す(8B/10B変換表はP1394b Draft0.05 pp.68-70を参照)。制御信号あるいは主信号はセクタCにより切り替えられパラレル・シリアル変換回路に渡される。ブロックコードはパラレル・シリアル変換回路5によりシリアル信号に変換後送信される。

【0013】受信ブロック19において、受信されたシリアル信号はシリアル・パラレル変換回路10によりパラレル信号に変換され、ブロックコード境界検出回路12によりシンボルC4(=0010001111)あるいはC11(=1101110000)の10ビットパターン一致を検出することによりブロックコードの境界検出が行われる。その後、主信号は10B/8B変換され、制御信号は10B/4B変換され、デスクランブラによりもとの制御信号あるいは主信号が復元される。

【0014】ブロックコード境界検出回路はポート初期化時にC4、C11の一致検出を行うことにより、境界検出を行うが、主信号中にはC4、C11と同一のパターンが存在するため、通常運用時には誤った境界検出を行わないようにするため境界検出は行わない。

【0015】スクランブラは生成多項式 $G(x) = X^{11} + X^9 + 1$ を用いて図11の様に構成され、疑似ランダム信号はX7の係数として出力される。制御信号(SRQP)および主信号(HGFEDCBA)は図12に示すようにスクランブラレジスタの係数と排他的論理和をとることによりランダム化される。このときスクランブラレジスタ $S(10:0)$ の値は $S_{k+1}(10:0) = T \cdot S_k(10:0)$ で計算される。ここでkはクロックを表し、レジスタ値 $S_{k+1}(10:0)$ は前値 $S_k(10:0)$ とTの積で計算される。Tは次式で表現される。

【0016】

【数1】

| | | | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|---|---|
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| T = | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |

【0017】スクランブラレジスタ23とデスクランブラレジスタ24の同期確立手順を図13を用いて説明する。スクランブラ・デスクランブラは制御信号および主信号で同一のものを使用し、同期確立の動作は制御信号送信時に行う。スクランブラ・デスクランブラ同期をとる場合にはデスクランブラ15にデスクランブラレジスタの値を補正するためのtrainビットをセットする。この場合デスクランブラレジスタ $D(10:0)$ の値は $D_{k+1}(10:0) = T \cdot D_k(10:0) + C$ として表現される。ここでCはデスクランブラ出力 S'' 、 Q'' およびtrainビットを用いて $C = [0, 0, 0, 0, S'', Q'', \text{train}, 0, S'', \text{train}, 0, Q'']$ and train で表現される。ポート初期化時にはまず制御信号としてRequest/Grant(SRQP)=(0001)が入力され、trainビットがセットされている。この場合のスクランブラ・デスクランブラの値の変化およびデスクランブラ出力を図14に示す。CLK=0の時点で例えばスクランブラレジスタは(1000000000)であり、デスクランブラレジスタは(0100101111)であり同期は確立されていないと仮定する。そのためデスクランブラ出力($S'' R'' Q'' P''$)も(0010)であり、入力された制御信号(0001)とは異なったコードとなっている。trainビットがセットされデスクランブラレジスタに補正が加えられているため、CLKが進むにつれてデスクランブラレジスタの値は補正され、CLK=5の時点でスクランブラ・デスクランブラの同期が確立しレジスタ値は共に(10101001000)となり、デスクランブラ出力も入力コードと同一の(0001)が得られている。以降同一制御信号が入力されている限りtrainビットをセットした状態でも同期は外れない。ただし、制御信号が変化した場合には同期が外れるため、制御信号が変化する前にtrainビット

はリセットされる。従って、ポート初期化終了時にはtrainビットはリセットされている。

【0018】

【発明が解決しようとする課題】しかしながら、ポート初期化終了後に雑音等によりブロック境界の誤りや、スクランブラ・デスクランブラの同期はずれが生じる場合があり、ポート初期化終了後においてもブロックコード境界の検出やtrainビットをセットし、スクランブラ・デスクランブラの同期再確立を行う必要がある。従来の技術では送信側でコードがランダム化されており、ブロック境界の誤りやスクランブラ・デスクランブラの同期外れが発生している場合には、受信側で送信側のコードを認識できないため、ブロック境界の誤りや同期はずれを検出することができない。そのため、ポート初期化終了後に再度ブロック境界の再検出やスクランブラ・デスクランブラの同期再確立を行うタイミングが不明確である。

【0019】また、ブロック境界の誤りやスクランブラ・デスクランブラの同期はずれが生じた場合に、これを検出できたとしても、再度ポートの初期化手順を行うことは、通常動作を回復するまでに2度のPort_Status信号の変化（セトリセット、およびリセット）が発生し、2度のネットワーク初期化および伝送速度の調停が行われることになり非効率である。

【0020】（発明の目的）本発明は上記問題点を解決するためになされたものであって、通常運用時に雑音等によりブロックコード境界の誤りやスクランブラ・デスクランブラの同期はずれが生じた場合に、ポート初期化手順を行わずに、再度ブロックコード境界の検出やスクランブラ・デスクランブラの同期確立を行うための符号化回路を提供することを目的とする。

【0021】

【課題を解決するための手段】上記目的を達成するため本発明の符号化回路は、ネットワーク初期化・制御ステートマシンが出力する制御信号がネットワークを初期化するバスリセット信号であることを検出するバスリセット検出回路（図1の6）と、持続するバスリセット信号の先頭の数クロック間のコードを置換し、さらに受信側でのバスリセットの検出とブロックコード境界検出のためのバスリセット識別符号を作るバスリセット識別符号生成回路（図1の8）と、バスリセット識別符号を検出し、デスクランブラのtrainビットをセットするバスリセット識別符号検出回路（図1の11）と、デスクランブラの同期再確立を行っている間、ネットワーク初期化・制御ステートマシンへ擬似的にバスリセット信号を出力するバスリセット信号生成回路（図1の16）を有することを特徴とする。

【0022】本発明の符号化回路は、ネットワーク初期化・制御ステートマシンが出力する制御信号がネットワークを初期化するバスリセット信号であることを検出

し、ブロックコード境界の再検出を行うトリガ信号を生成するバスリセット検出回路（図5の6）と、ブロックコード境界の再検出後にtrainビットをセットするブロックコード境界検出回路（図5の12）と、デスクランブラの同期再確立を行っている間、ネットワーク初期化・制御ステートマシンへ擬似的にバスリセット信号を出力するバスリセット信号生成回路（図5の16）を有することを特徴とする。

【0023】（作用）上記の通り本発明によれば、送信側からバスリセット信号が出力されていることをランダム化されていない信号を用いて受信側に通知することにより、ネットワークの初期化を行うバスリセット信号を用いて、ブロックコード境界の再検出およびスクランブラ・デスクランブラの同期再確立が行え、ネットワークの初期化と同時にシリアルポートを初期化することが可能となる。

【0024】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。

【0025】＜実施例1＞

（構成の説明）図1は本発明の第1の実施例の符号化回路を示すブロック図である。

【0026】図1において、符号化回路は大きく送信ブロック18と受信ブロック19の2つに分けられ、送信ブロック18はセレクトA1、スクランブラ2、8B/10B変換回路3、4B/10B変換回路7、セレクトC4、パラレル・シリアル変換回路5、バスリセット検出回路6、バスリセット識別符号生成回路8、セレクトB9よりなる。また、受信ブロック19はシリアル・パラレル変換回路10、ブロックコード境界検出回路12、10B/8B変換回路14、10B/4B変換回路13、デスクランブラ15、バスリセット識別符号検出回路11、バスリセット信号生成回路16、セレクトD17よりなる。

【0027】セレクトA1は制御信号と主信号で共通のスクランブラを使用するために、制御信号と主信号を切り替える機能を持つ。

【0028】スクランブラ2は、制御信号あるいは主信号のデータ系列をランダム化する機能を持つ。

【0029】8B/10B変換回路3は、8ビットの主信号を10ビットコードに変換する機能を持つ。

【0030】4B/10B変換回路7は、4ビットの制御信号を10ビットコードに変換する機能を持つ。

【0031】バスリセット検出回路6は、制御信号中のバスリセット信号を検出し、セレクトB9を切り替えるための信号を出力する機能を持つ。

【0032】バスリセット識別符号生成回路8は、バスリセット信号を受信側で検出するために使用される制御信号および主信号で使用されていない特殊コードを生成する機能を持つ。

【0033】セクタB9は、通常は4B/10B変換回路7からの信号を出力し、バスリセット検出回路6によりバスリセットが検出されて数クロック間はバスリセット識別符号生成回路8からの信号を出力する機能を持つ。

【0034】セクタC4は主信号と制御信号を切り替える機能を持つ。

【0035】パラレル・シリアル変換回路5は10ビットのパラレル信号をシリアル信号へ変換する機能を持つ。

【0036】シリアル・パラレル変換回路10は伝送路からのシリアル信号をパラレル信号に変換する機能を持つ。

【0037】ブロックコード境界検出回路12はブロックコード（例えば10ビットコード）の境界を検出し、境界検出後は境界から境界までのブロック単位でパラレル信号を出力する機能を持つ。

【0038】10B/8B変換回路14は主信号である10ビットのブロックコードを8ビットコードに変換する機能を持つ。

【0039】10B/4B変換回路13は制御信号である10ビットのブロックコードを4ビットコードに変換する機能を持つ。

【0040】バスリセット識別符号検出回路11はバスリセット識別符号を検出し、trainビットをセットする、さらにセクタDを切り替えるための信号を出力する機能を持つ。

【0041】デスクランブラ15は送信側でランダム化されたコードを元のランダム化されていないコードに変換する機能を持つ。

【0042】バスリセット信号生成回路16は制御コードとしてバスリセット信号(0101)を生成する機能を持つ。

【0043】セクタDはデスクランブラの出力とバスリセット信号生成回路の出力を切り替える機能を持つ。

【0044】（動作の説明）図2に示すような2つのノードA、Bがシリアルポートで接続されている構成を考える。ポートCは図1に示す送受信ブロックを備える。通常運用時に雑音等の影響により、受信ブロック19内のブロックコード境界検出回路12での境界の誤り、あるいはデスクランブラ15の同期外れが生じることがある（例えば図2のノードA①）。この場合、デスクランブラから出力される主信号や制御信号は、期待される信号とは異なった信号となっているため、上位レイヤのネットワーク初期化・制御ステートマシン21では処理されない。つまり、ネットワーク初期化・制御ステートマシン21は動作を停止しロック状態となる(②)。ネットワーク初期化・制御ステートマシン21のロック状態が一定時間（IEEE 1394-1995によればMAX_ARB_STATE_TIME = 166.8us）以上続いた場合には、ネットワーク初期

化・制御ステートマシン21はネットワークを初期化するため制御信号としてバスリセット信号(0101)を出力する(③)。

【0045】ノードAにおいて、ネットワーク初期化・制御ステートマシン21からのバスリセット信号を検出したバスリセット検出回路6はセクタB9の出力を、4B/10B変換回路7の出力からバスリセット識別符号生成回路の出力に切り替えるための信号を数クロック間（例えば6クロック）出力する。

10 【0046】バスリセット識別符号生成回路8は制御信号および主信号で使用されていないブロックコード（例えばK28.5+=0011111010およびK28.5-=1100000101の2コードを交互に送信する20ビットコード）を生成、出力する。バスリセット識別符号はスクランブラによりランダム化されことなく、シリアル化されてシリアルポートから出力される。

【0047】送信ブロックの各インタフェースにおける信号の様子を図3に示す。バスリセットが発生した場合には、制御信号としてバスリセット信号(0101)が入力される。スクランブラ出力および4B/10B変換出力はバスリセット信号がランダム化されているので規則性はない。制御信号がバスリセット信号に変化した際にバスリセット検出回路出力は“L”から“H”に変化し、一定時間（例えば6クロック）の後再び“H”から“L”に変化する。セクタCからはバスリセット識別符号が一定時間（例えば、6クロック）だけ出力される。ノードAからのバスリセット信号は伝送路を通してノードBに入力される(④)。

30 【0048】ノードBの受信ブロック19では、受信したシリアル信号をシリアル・パラレル変換10によりパラレル信号に変換し、ブロックコード境界検出回路12によりバスリセット識別符号の一致検出を行いブロックコードの境界を再認識する。また、バスリセット識別符号検出回路11により、バスリセット識別符号を検出し、デスクランブラのtrainビットをセットすると同時に、セクタD17の出力をデスクランブラ15の出力からバスリセット信号生成回路16の出力に切り替える。

40 【0049】デスクランブラ15はそれ自身の出力を識別し、連続したバスリセット信号(0101)を検出した場合には、trainビットをリセットし、セクタDの出力をバスリセット信号生成回路16の出力からデスクランブラ15の出力に切り替える。

【0050】受信ブロックの各インタフェースにおける信号の様子を図4に示す。シリアル・パラレル変換出力にバスリセット識別符号（例えばK28.5+, K28.5-の20ビット）が検出されるとtrainビットを“L”から“H”に変化すると同時に、セクタDの出力をバスリセット信号生成回路側へ切り替えること

により、制御信号出力としてはバスリセット信号(0101)が出力される。デスクランブラ出力の値がバスリセット信号(0101)で安定(例えば3クロック連続)したとき、trainビットを“H”から“L”に変化させると共にセレクタDの出力をデスクランブラ側へ切り替える。

【0051】ノードBのネットワーク初期化・制御ステートマシン21はノードAからのバスリセット信号を検出し(5)、ネットワークの初期化を開始するためバスリセット信号を送信する(6)。ノードBの送信ブロックからはノードAの送信ブロックと同様の動作により、バスリセット識別符号が付加されたシリアルバスリセット信号が出力され、伝送路を通してノードAに入力される(7)。

【0052】ノードAの受信ブロックはノードBからのバスリセット信号を受信し、ノードBの受信ブロックと同様の動作により、ブロックコード境界の再検出およびスクランブラ・デスクランブラの同期再確立を行い、バスリセット中にボートの初期化を終了する。

【0053】<実施例2>(構成の説明)図5は本発明の第2の実施例の符号化回路を示すブロック図である。

【0054】図5において、符号化回路は大きく送信ブロック18と受信ブロック19の2つに分けられ、送信ブロック18はセレクタA1、スクランブラ2、8B/10B変換回路3、4B/10B変換回路7、セレクタC4、パラレル・シリアル変換回路5よりなる。また、受信ブロック19はシリアル・パラレル変換回路10、ブロックコード境界検出回路12、10B/8B変換回路14、10B/4B変換回路13、デスクランブラ15、バスリセット信号生成回路16、セレクタD17よりなる。

【0055】セレクタA1は制御信号と主信号で共通のスクランブラを使用するために、制御信号と主信号を切り替える機能を持つ。

【0056】スクランブラ2は、制御信号あるいは主信号のデータ系列をランダム化する機能を持つ。

【0057】8B/10B変換回路3は、8ビットの主信号を10ビットコードに変換する機能を持つ。

【0058】4B/10B変換回路7は、4ビットの制御信号を10ビットコードに変換する機能を持つ。

【0059】バスリセット検出回路6は、制御信号中のバスリセット信号を検出し、ブロックコード境界の再検出を行うトリガ信号、さらにセレクタD9を切り替えるための信号を出力する機能を持つ。

【0060】セレクタC4は主信号と制御信号を切り替える機能を持つ。

【0061】パラレル・シリアル変換回路5は10ビットのパラレル信号をシリアル信号へ変換する機能を持つ。

【0062】シリアル・パラレル変換回路10は伝送路

からのシリアル信号をパラレル信号に変換する機能を持つ。

【0063】ブロックコード境界検出回路12はブロックコード(例えば10ビットコード)の境界を検出し、境界検出後は境界から境界までのブロック単位でパラレル信号を出力する、さらにブロックコード境界検出後にtrainビットをセットする機能を持つ。

【0064】10B/8B変換回路14は主信号である10ビットのブロックコードを8ビットコードに変換する機能を持つ。

【0065】10B/4B変換回路13は制御信号である10ビットのブロックコードを4ビットコードに変換する機能を持つ。

【0066】デスクランブラ15は送信側でランダム化されたコードを元のランダム化されていないコードに変換する機能を持つ。

【0067】バスリセット信号生成回路16は制御コードとしてバスリセット信号(0101)を生成する機能を持つ。

【0068】セレクタDはデスクランブラの出力とバスリセット信号生成回路の出力を切り替える機能を持つ。

【0069】(動作の説明)上述の第1の実施例では、受信側でバスリセット信号を検出できるようにバスリセット信号の先頭数クロック間を特殊コードで置換して送信し、対向ノードの受信側でこの特殊コードを検出することにより、ブロックコードの境界検出およびスクランブラ・デスクランブラの同期再確立を行う方法を用いているが、送信側でバスリセット信号を検出した場合、同一ノード内の受信側に対してブロックコード境界の再検出を行うトリガ信号を出力し、ブロックコード境界再検出後にスクランブラ・デスクランブラの同期再確立を行うトリガ信号を出力する方法で解決することもできる。

【0070】図5の符号化回路を持つ2つのノードA、Bが図2のように接続されている場合を考える。ノードAにおいて、ネットワーク初期化・制御ステートマシン21からのバスリセット信号を検出したバスリセット検出回路6はブロックコード境界の再検出を開始するためのトリガ信号と、セレクタD17の出力をバスリセット信号生成回路16の出力に切り替えるための信号を出力する。

【0071】また、ネットワーク初期化・制御ステートマシン21からのバスリセット信号は、スクランブラ2によりランダム化され、4B/10B変換回路7によりブロック符号化された後、シリアル信号に変換されシリアル信号として伝送される。このシリアル信号を受信したノードBは、バスリセット信号を検出し、ノードBのネットワーク初期化・制御ステートマシンはバスリセット信号を制御信号として出力する。このバスリセット信号はノードAに伝わり、シリアル・パラレル変換回路によりパラレル信号に変換される。

【0072】ノードAのブロックコード境界検出回路12では従来通りに制御コードC4(=0010001111)あるいはC11(=1101110000)との一致検出を行うことにより境界検出を行う。

【0073】境界検出が終了した後ブロックコード境界検出回路12は、スクランブラ・デスクランブラの同期再確立を行うためのtrainビットをセットする。

【0074】デスクランブラ15からの安定したバスリセットコード(例えば3クロック連続)が得られた場合には、trainビットをリセットし、セクタD17 10の出力をデスクランブラからの出力に切り替える。

【0075】

【発明の効果】以上詳細に説明した本発明の符号化回路によれば、ポートの初期化終了後に雑音等でブロックコードの境界誤りやスクランブラ・デスクランブラの同期外れが生じた場合においても、ネットワークの初期化と同時にポートの初期化すなわちブロックコードの境界再検出およびスクランブラ・デスクランブラの同期再確立を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の符号化回路を示すブロック図である。

【図2】本発明の符号化回路を備えたノードの動作を示した図である。

【図3】送信ブロックの各機能ブロックの出力信号の例を示した図である。

【図4】受信ブロックの各機能ブロックの出力信号の例を示した図である。

【図5】本発明の第2の実施例の符号化回路を示すブロック図である。

【図6】ノードの基本構成およびその接続形態を示した図である。

【図7】シリアルポートの初期化手順を示した図である。

【図8】制御信号コードとその意味を示した図である。

【図9】シリアルポートの従来の送受信部を示した図である。

【図10】4B/10B変換の動作を記述した図であ *

＊る。

【図11】スクランブラ・デスクランブラで使用されるシフトレジスタの構成を示した図である。

【図12】スクランブラレジスタと主信号あるいは制御信号のコードとの関係(スクランブラの動作)を示した図である。

【図13】スクランブラとデスクランブラの関係を示した図である。

【図14】デスクランブラの動作を説明した1例の図である。

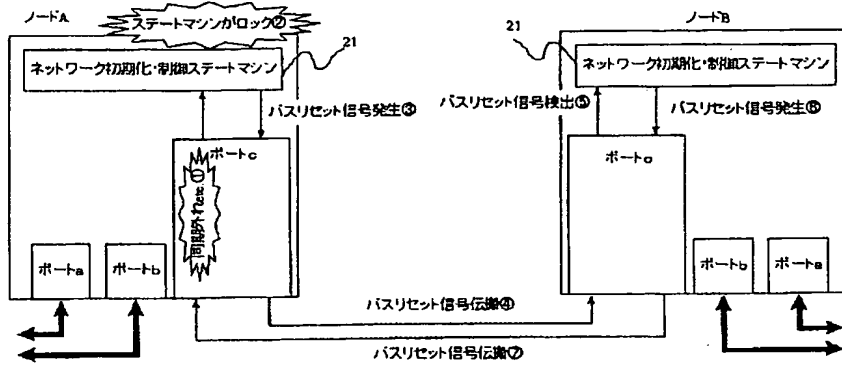
【符号の説明】

- 1 セクタA
- 2 スクランブラ
- 3 8B/10B変換回路
- 4 セクタC
- 5 パラレル・シリアル変換回路
- 6 バスリセット検出回路
- 7 4B/10B変換回路
- 8 バスリセット識別符号生成回路
- 9 セクタB
- 10 シリアル・パラレル変換回路
- 11 バスリセット識別符号検出回路
- 12 ブロックコード境界検出回路
- 13 10B/4B変換回路
- 14 10B/8B変換回路
- 15 デスクランブラ
- 16 バスリセット信号生成回路
- 17 セクタD
- 18 送信ブロック
- 19 受信ブロック
- 20 ポート初期化ステートマシン
- 21 ネットワーク初期化・制御ステートマシン
- 22 伝送路
- 23 スクランブラレジスタ
- 24 デスクランブラレジスタ
- 25 クロックリカバリ回路
- 26 PLL回路

【図8】

| 制御信号コード | コードの意味 | 制御信号コード | コードの意味 |
|---------|---------------|---------|--------------|
| 0000 | IDLE | 1000 | SPEED- |
| 0001 | REQUEST/GRANT | 1001 | DATA_PREFIX+ |
| 0010 | PARENT_NOTIFY | 1010 | DATA_END+ |
| 0011 | CHILD_NOTIFY | 1011 | DATA_END-E |
| 0100 | SPEED+ | 1100 | ESCAPE |
| 0101 | RESET | 1101 | reserved |
| 0110 | DATA_END- | 1110 | reserved |
| 0111 | DATA_END+E | 1111 | DATA_PREFIX- |

【図2】



【図9】

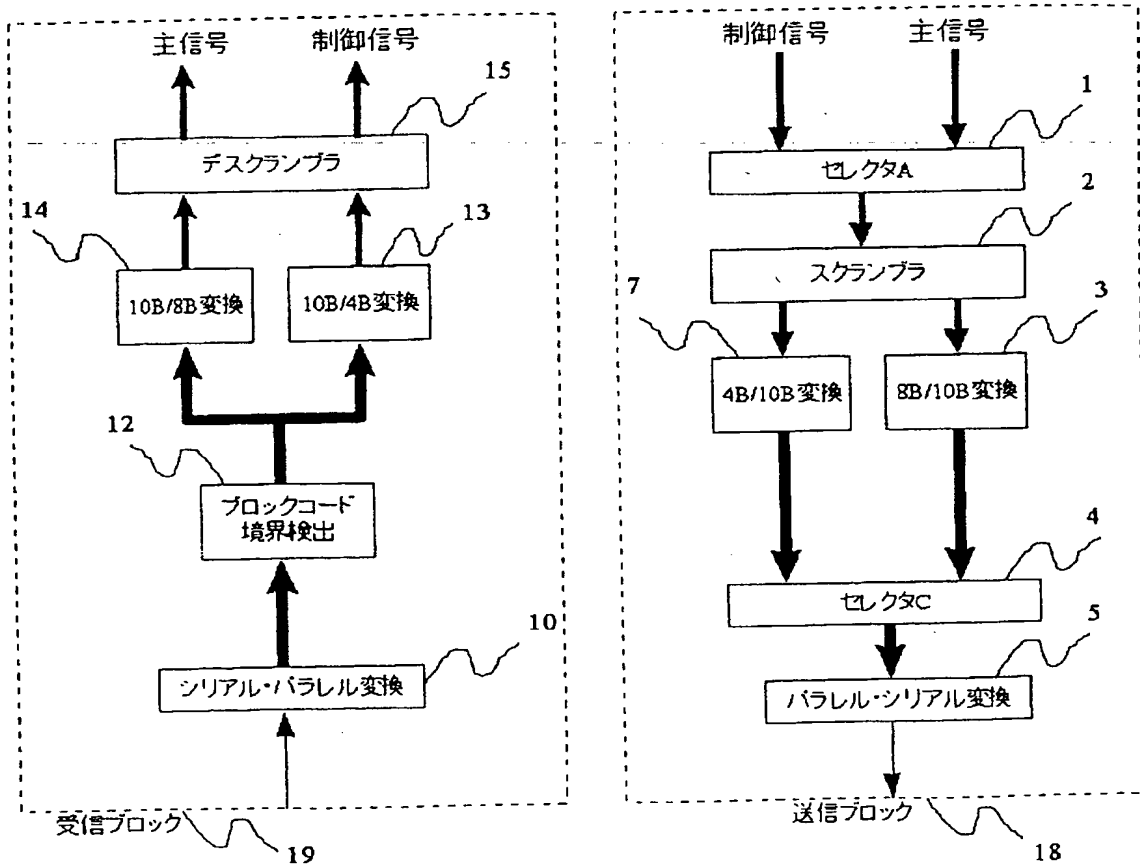


Figure 1 is a block diagram of the data path of the 16-bit parallel adder. It shows the flow of data from the 16-bit parallel input (バスリセット信号) through the 16-bit parallel adder (バスリセット) to the 16-bit parallel output (バスリセット). The output is then converted to a 4B/10B format (4B/10B変換出力) and finally to a 16-bit parallel output (バスリセット). The diagram also shows the 16-bit parallel output (バスリセット) being converted to a 16-bit parallel output (バスリセット).

[illegible]

【図5】

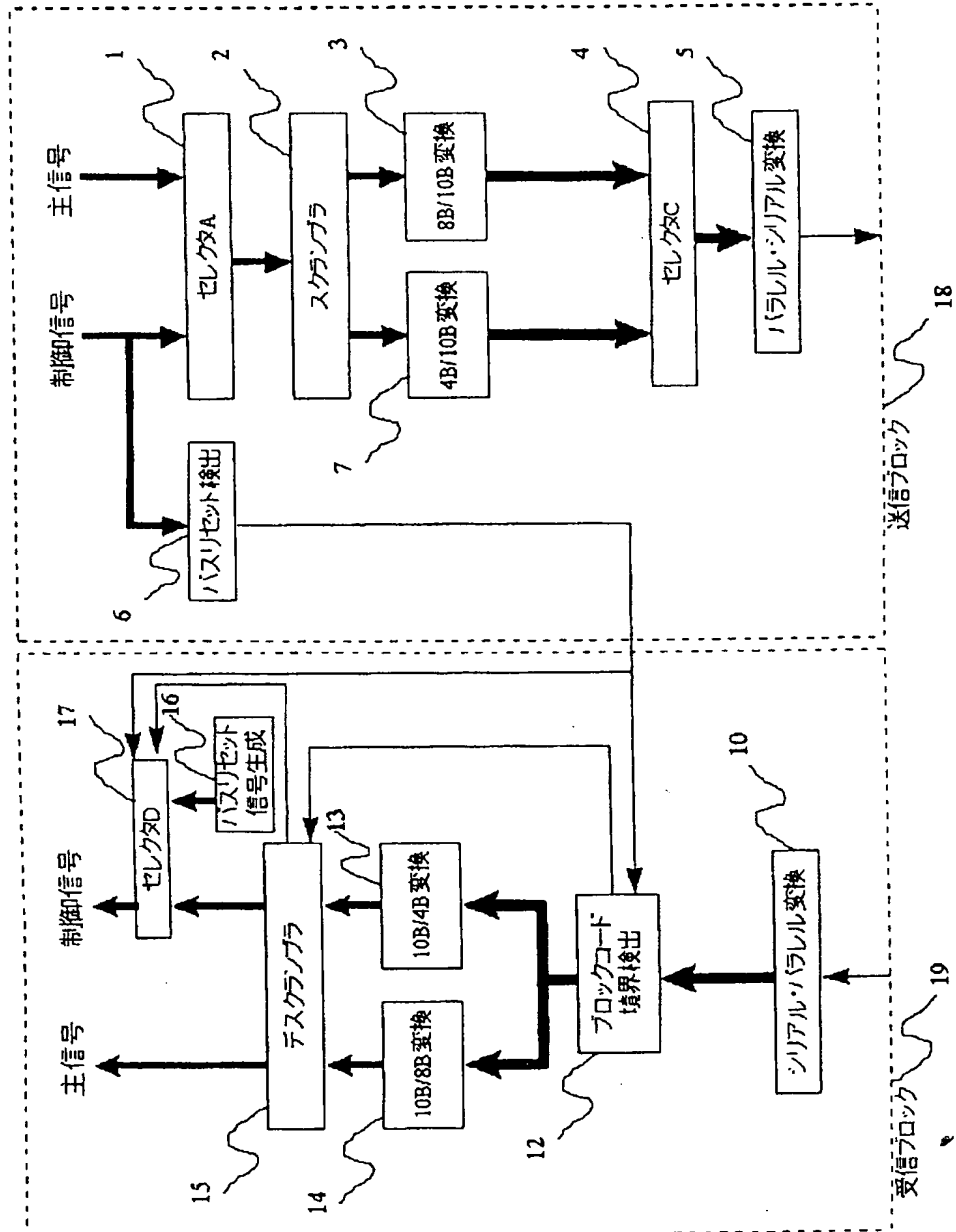


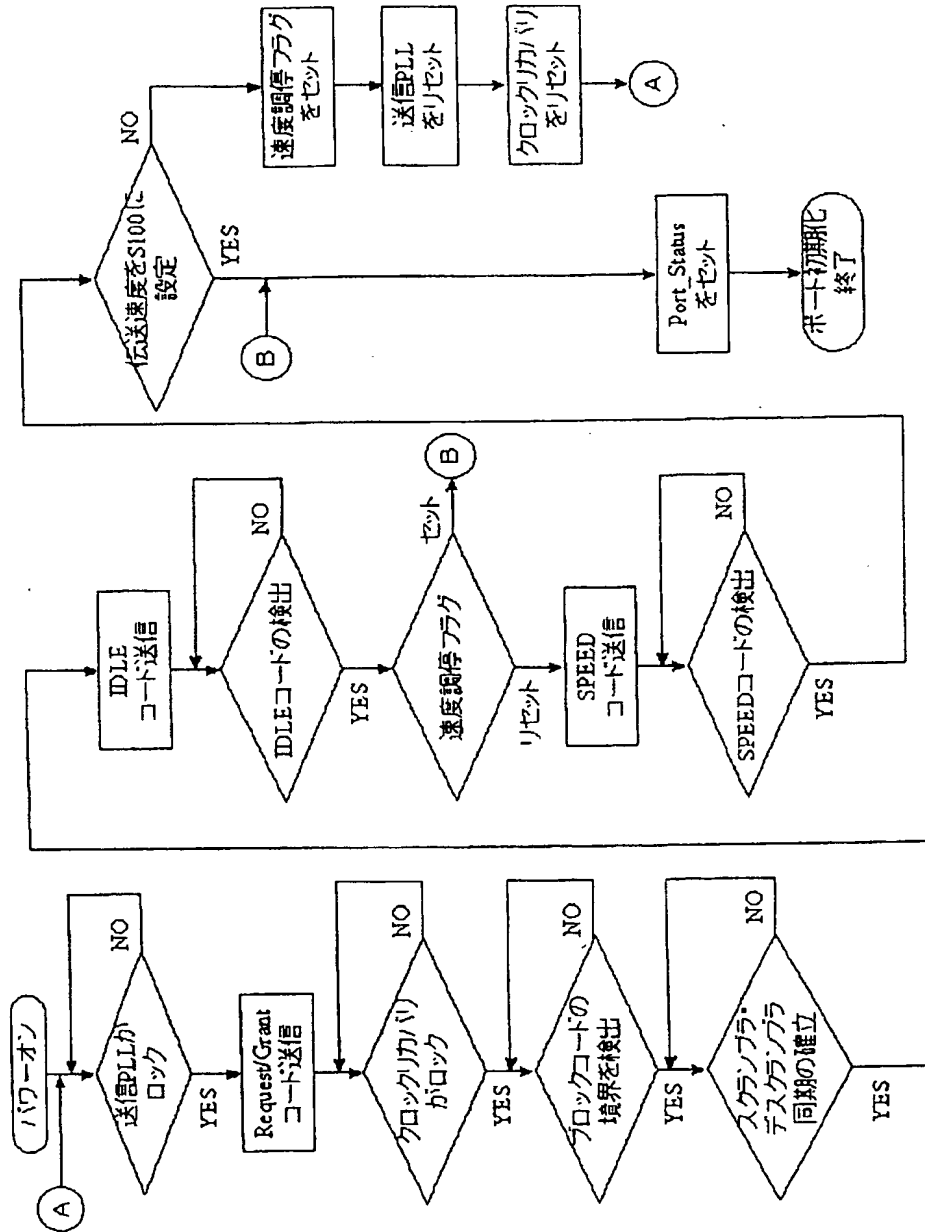
Figure 1 is a block diagram illustrating a network interface system. The system consists of two nodes, Node A (ノードA) and Node B (ノードB), connected via a transmission path (伝送路) labeled 22.

Each node (Node A and Node B) contains the following components:

- ネットワーク初期化・制御ステートマシン (Network Initialization/Control State Machine):** Labeled 21, it receives a **Port_Status 信号 (Port_Status signal)** and a **制御信号 (Control signal)** (labeled 26).
- ポート初期化 (Port Initialization):** Labeled 18, it receives a **ポートc (Port c)** signal (labeled 19) and a **制御信号 (Control signal)** (labeled 26).
- 通信コントローラ (Communication Controller):** Labeled 20, it contains:
 - 送信バッファ (Transmit Buffer):** Labeled 25, it receives data from the **送信ロジック (Transmit Logic)** and sends it to the **伝送路 (Transmission Path)**.
 - 受信バッファ (Receive Buffer):** Labeled 25, it receives data from the **伝送路 (Transmission Path)** and sends it to the **受信ロジック (Receive Logic)**.
 - PLL (Phase-Locked Loop):** Labeled 25, it receives a **制御信号 (Control signal)** (labeled 26) and provides a **CR (Clock Reference)** signal to the **送信ロジック (Transmit Logic)** and **受信ロジック (Receive Logic)**.

The **伝送路 (Transmission Path)** (labeled 22) is a bidirectional communication channel connecting the two nodes.

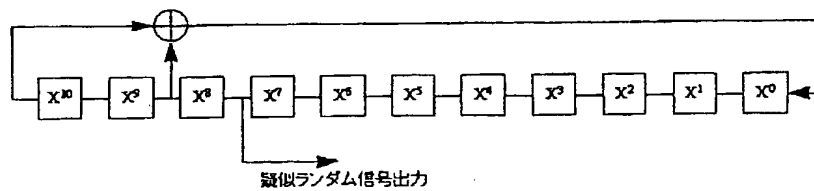
【図7】



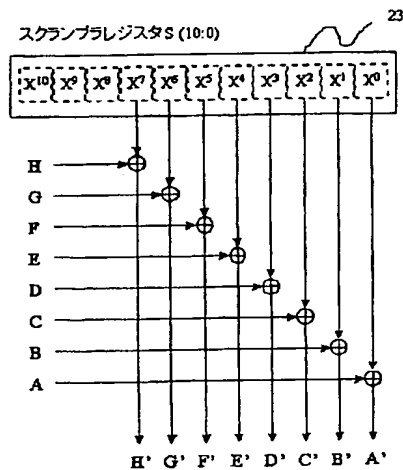
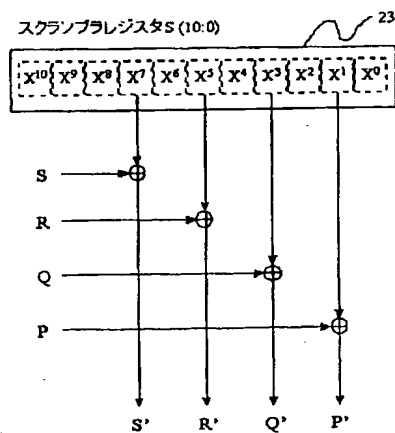
【図10】

| スクランブラ出力 | | 4B/10B 変換出力 | スクランブラ出力 | | 4B/10B 変換出力 |
|---------------|------|-------------|---------------|------|-------------|
| [S',R',Q',P'] | シンボル | | [S',R',Q',P'] | シンボル | |
| 0000 | C0 | 0000011111 | 1000 | C8 | 0111110000 |
| 0001 | C1 | 0000101111 | 1001 | C9 | 1011110000 |
| 0010 | C2 | 0000111110 | 1010 | C10 | 0011111000 |
| 0011 | C3 | 0001001111 | 1011 | C11 | 1101110000 |
| 0100 | C4 | 0010001111 | 1100 | C12 | 1110110000 |
| 0101 | C5 | 1100000111 | 1101 | C13 | 1111000001 |
| 0110 | C6 | 0100001111 | 1110 | C14 | 1111010000 |
| 0111 | C7 | 1000001111 | 1111 | C15 | 1111100000 |

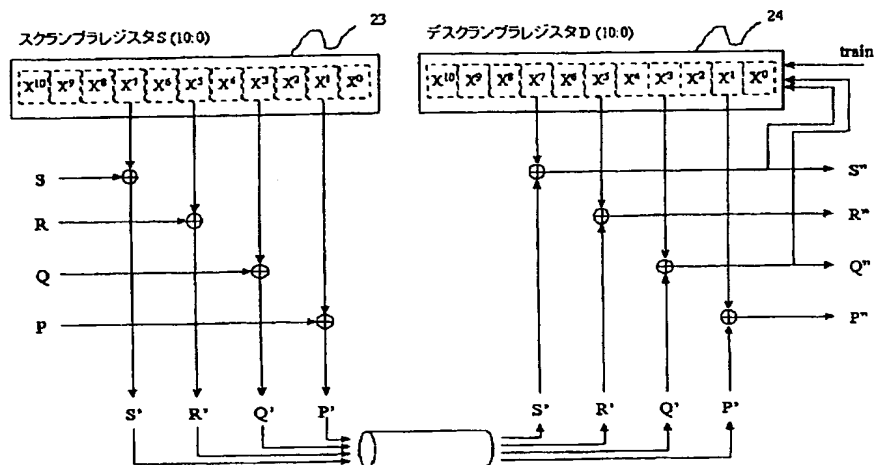
【図11】



【図12】



【図13】



【図14】

| CLK | スクランブラレジスタ S(10:0) | スクランブラ出力 | | デスクランブラレジスタ D(10:0) | デスクランブ ラ出力 |
|-----|-----------------------|------------------|------|------------------------|------------------|
| | | [S', R', Q', P'] | シンボル | | [S', R', Q', P'] |
| 0 | 10000000000 | 0001 | c1 | 01001011111 | 0010 |
| 1 | 00010000000 | 1001 | c9 | 11101100001 | 1101 |
| 2 | 00001010000 | 0001 | c1 | 00100001100 | 0011 |
| 3 | 00000100010 | 0100 | c4 | 10010100010 | 1001 |
| 4 | 01000010101 | 0001 | c1 | 01010010101 | 1001 |
| 5 | 10101001000 | 0011 | c3 | 10101001000 | 0001 |
| 6 | 00000001101 | 0011 | c3 | 00000001101 | 0001 |
| 7 | 10100000111 | 0000 | c0 | 10100000111 | 0001 |
| 8 | 11100100011 | 0100 | c4 | 11100100011 | 0001 |
| 9 | 01101110101 | 0101 | c5 | 01101110101 | 0001 |
| 10 | 10111010100 | 1001 | c9 | 10111010100 | 0001 |
| 11 | 10001010000 | 0001 | c1 | 10001010000 | 0001 |
| 12 | 00010100010 | 1100 | c12 | 00010100010 | 0001 |

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.